

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年11月14日

出願番号 Application Number: 特願2002-330399

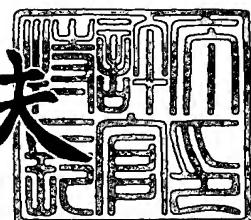
[ST. 10/C]: [JP2002-330399]

出願人 Applicant(s): 株式会社東芝

2003年10月 1日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 APB0290071

【提出日】 平成14年11月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78  
H01L 21/28  
H01L 27/092  
H01L 21/8238

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 18

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝  
横浜事業所内

【氏名】 宮野 清孝

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100097629

【弁理士】

【氏名又は名称】 竹村 壽

【電話番号】 03-3843-4628

【手数料の表示】

【予納台帳番号】 004961

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

半導体基板に形成されたソース／ドレイン領域と、

前記ソース／ドレイン領域間のチャネル領域上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記半導体基板上に形成され、前記ゲート電極の側壁に形成された側壁絶縁膜とを具備し、

前記ゲート電極は、SiGeからなり、前記ゲート電極側壁には前記ゲート電極表面を酸化して得られる側壁絶縁膜が形成され、且つこの側壁絶縁膜はシリコン酸化膜を主成分とする特徴とする半導体装置。

【請求項 2】 前記側壁絶縁膜のGe／Si組成比が前記ゲート電極のGe／Si組成比より小さいことを特徴とする請求項1に記載の半導体装置。

【請求項 3】 前記側壁絶縁膜は、実質的にシリコン酸化膜からなることを特徴とする請求項1に記載の半導体装置。

【請求項 4】 SiGe単結晶層が形成された半導体基板と、

半導体基板に形成されたソース／ドレイン領域と、

前記ソース／ドレイン領域間のチャネル領域上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを具備し、

前記チャネル領域は、前記SiGe単結晶層からなり、前記チャネル領域表面には前記SiGe単結晶層を酸化することにより得られるゲート絶縁膜が形成され、且つこのゲート絶縁膜は、シリコン酸化膜を主成分とする特徴とする半導体装置。

【請求項 5】 前記ゲート絶縁膜中のGe／Si組成比が、前記単結晶層中のGe／Si組成比より小さいことを特徴とする請求項4に記載の半導体装置。

【請求項 6】 前記ゲート絶縁膜は、実質的にシリコン酸化膜からなることを特徴とする請求項4に記載の半導体装置。

【請求項 7】 半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜上に第1の半導体と第2の半導体からなる導電膜を形成する工程と

前記第1の半導体及び第2の半導体を酸化する酸化剤及び前記第1の半導体及び第2の半導体を還元する還元剤を含む雰囲気で熱処理を行って、前記導電膜上に前記第1の半導体の酸化膜を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】 前記第1の半導体及び第2の半導体がC、Si、Geのいずれからなることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第1の半導体がSiであり、前記第2の半導体がGeであることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】 前記Siを酸化する酸化剤はH<sub>2</sub>O、CO<sub>2</sub>及びO<sub>2</sub>の少なくとも1つからなり、前記Geを還元する還元剤はH<sub>2</sub>及びCOの少なくとも1つからなることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 半導体基板にソース／ドレイン領域を形成する工程と、前記ソース／ドレイン領域間のチャネル領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にSiGeからなるゲート電極を形成する工程と、前記SiGeからなるゲート電極表面をSiを酸化する酸化剤及びGeを還元する還元剤を含む雰囲気での熱処理により、Siの酸化膜からなる側壁絶縁膜を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項12】 前記Siを酸化する酸化剤はH<sub>2</sub>O、CO<sub>2</sub>及びO<sub>2</sub>の少なくとも1つからなり、前記Geを還元する還元剤はH<sub>2</sub>及びCOの少なくとも1つからなることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 半導体基板上に少なくとも2種類の半導体からなる単結晶層を形成する工程と、

前記単結晶層の表面上に前記単結晶層に対する酸化種として還元剤及び酸化剤を含む雰囲気による熱酸化によって前記少なくとも2種類の半導体の内の1つの半導体の酸化膜からなる絶縁膜を形成する工程と、

前記絶縁膜上に電極を形成する工程とを備えたことを特徴とする半導体装置

の製造方法。

【請求項14】 前記少なくとも2種類の半導体がSi、Geいずれかより成ることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項15】 前記還元剤として、H<sub>2</sub>、COのうち少なくとも1つを含み、酸化剤として、H<sub>2</sub>O、CO<sub>2</sub>、O<sub>2</sub>のうち少なくとも1つを含むことを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

【請求項16】 半導体基板上にチャネル領域が形成されるSiGe単結晶層を形成する工程と、

前記チャネル領域が形成された半導体基板にソース／ドレイン領域を形成する工程と、

前記ソース／ドレイン領域間の前記チャネル領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程とを備え、

前記ゲート絶縁膜は、前記SiGe単結晶層表面に、Siを酸化する酸化剤及びGeを還元する還元剤を含む雰囲気での熱処理により形成され、且つ実質的にシリコン酸化膜のみからなることを特徴とする半導体装置の製造方法。

【請求項17】 前記Siを酸化する酸化剤はH<sub>2</sub>O、CO<sub>2</sub>及びO<sub>2</sub>の少なくとも1つからなり、前記Geを還元する還元剤はH<sub>2</sub>及びCOの少なくとも1つからなることを特徴とする請求項16に記載の半導体装置の製造方法。

【請求項18】 前記雰囲気が、前記Siを酸化する酸化剤としてH<sub>2</sub>Oを用い前記Geを還元する還元剤としてH<sub>2</sub>を用いる場合において、H<sub>2</sub>OとH<sub>2</sub>との分圧比(P<sub>H2O</sub>／P<sub>H2</sub>)が10<sup>-1</sup>～10<sup>-21</sup>の範囲であり、前記熱処理の温度が0°K～2500°Kの範囲であって、図6に示されるGeO<sub>2</sub>の平衡水素水蒸気分圧曲線(A)とSiO<sub>2</sub>の平衡水素水蒸気分圧曲線(B)との間の領域内の分圧比を有することを特徴とする請求項9乃至請求項12、請求項15乃至請求項17のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、導電材料として少なくとも2種の半導体からなる、例えば、SiGeのような材料を用いたMOSトランジスタの構造及びその製造方法に関するものである。

### 【0002】

#### 【従来の技術】

高性能のMOSトランジスタとして、その導電材料にSiGeを用いることが注目されている。例えば、図11に示すように、SiGeは、ゲート電極として、PMOSトランジスタの活性化率を向上させ、空乏化を抑制することができる。通常ゲート電極表面には、加工によるRIE(Reactive Ion Etching)ダメージの回復や側壁絶縁膜を形成する目的で数nm～10nm程度の酸化膜（ここでは側壁酸化膜と呼ぶ）が形成される。さらに、SiGe電極を用いる世代になると、側壁酸化膜は、ドーパントの外方拡散を抑制する役割を併せ持つことになる。

### 【0003】

また、例えば、図12に示すように、MOSトランジスタではチャネル領域のキャリア移動度を高めるために、SiGe層をエピタキシャル成長させてSiGeチャネル層とする構造が有望視されている。このMOSトランジスタは、通常のMOSトランジスタと同様にSiGeチャネル形成後、ゲート酸化膜が形成される。この場合SiGeの酸化であるため、ゲート酸化膜中にはSiO<sub>2</sub>とGeO<sub>2</sub>が含まれることになる。ところが、このSiGeの酸化により形成されるSiO<sub>2</sub>とGeO<sub>2</sub>を比較すると、前述のようにGeO<sub>2</sub>は、耐薬品性でSiO<sub>2</sub>より劣っており、且つSiO<sub>2</sub>よりも揮発性が高い。したがって、ゲート酸化膜形成後の薬液処理や熱処理によりゲート酸化膜は、ダメージを受ける。ゲート酸化膜の薄膜化がさらに進むとこの問題はより顕在化することになる。なお、SiGe膜をゲート電極に用いることは特許文献1に記載されている。

### 【0004】

#### 【特許文献1】

特開2002-26318号公報（図1、2～3頁）

### 【0005】

#### 【発明が解決しようとする課題】

しかし、SiGeを酸化して形成されるSiO<sub>2</sub>とGeO<sub>2</sub>とを比較すると、GeO<sub>2</sub>は、H<sub>2</sub>O<sub>2</sub>、H<sub>2</sub>SO<sub>4</sub>、HF等の耐薬品性がSiO<sub>2</sub>より劣っており、且つSiO<sub>2</sub>よりも揮発性が高い。したがって、側壁酸化膜形成後の薬液処理や熱処理により側壁酸化膜は、ダメージを受けてドーパントの外方拡散抑制効果が低下するという問題があった。また、前述のように、GeO<sub>2</sub>が耐薬品性でSiO<sub>2</sub>より劣っており、且つSiO<sub>2</sub>よりも揮発性が高いところから、ゲート酸化膜形成後の薬液処理や熱処理によりゲート酸化膜は、ダメージを受ける。ゲート酸化膜の薄膜化がさらに進むとこの問題はより顕在化することになる。

本発明は、この様な事情によりなされたものであり、少なくとも2種類の半導体からなる半導体層、例えば、SiGeを導電材料として用いるMOSトランジスタにおいて、前記少なくとも2種類の半導体からなる半導体層、例えば、SiGeの表面を所望の形状に酸化処理を施す半導体装置及びこの酸化処理を効率的に行うことができる製造方法を提供するものである。

### 【0006】

#### 【課題を解決するための手段】

第1の発明は、半導体基板上に形成された絶縁膜上に第1の半導体と第2の半導体からなる導電膜を形成し、次に、前記第1の半導体が酸化し前記第2の半導体が酸化しない雰囲気で熱処理を行って、前記導電膜上に前記第1の半導体の酸化膜を形成することを特徴としている。例えば、SiGeを導電材料として用いるMOSトランジスタにおいて、SiGeの表面にシリコン酸化膜のみを形成することを特徴とし、SiGeの酸化処理において、シリコンが酸化され、ゲルマニウムが還元される雰囲気で処理が行われることを特徴としている。例えば、SiGeゲート電極の側壁酸化において、酸化種として還元剤及び酸化剤を含む系、例えば、H<sub>2</sub>及びH<sub>2</sub>Oを含む雰囲気或いはCO及びCO<sub>2</sub>を含む雰囲気等を用いて、シリコンは酸化され、Geは還元される分圧比P H<sub>2</sub> / P H<sub>2</sub>O或いはP CO / P CO<sub>2</sub>の範囲で選択酸化を行う。これはSiO<sub>2</sub>、GeO<sub>2</sub>の標準生成自由エネルギーの計算結果から得られるものである。

### 【0007】

SiGeの選択酸化により、側壁酸化膜としてSiO<sub>2</sub>のみが形成されるため

側壁酸化膜形成後の薬液処理や熱処理耐性の高い側壁酸化膜がえられ、ドーパントの外方拡散を効果的に抑制することができる。ゲート電極の側壁酸化は、主としてゲート電極加工時のR I Eにより、半導体基板側ゲートエッジ部に入るダメージを除去するために行われる。また、側壁酸化は、ゲート電極中のドーパントがその後の活性化アニール等の熱処理により外方拡散することを抑制するバリア層としての働きを併せ持っている。SiGeをゲート電極に用いる世代のMOSトランジスタでは、ゲート空乏化を抑制する目的からゲート電極中に高い濃度のキャリアが必要とされる為、外方拡散抑止効果がより重要となってくる。さらに、微細MOSでは短チャネル効果抑止等の目的で、拡散領域へのイオン注入の際にゲート電極の位置とイオン注入箇所にオフセットを設けるためのスペーサとして側壁酸化膜を用いる場合もある。

#### 【0008】

従来、SiGeゲート電極を酸化するとSiO<sub>2</sub>と同時にGeO<sub>2</sub>が生成される。このGeO<sub>2</sub>は熱処理により揮発しやすく、また半導体製造プロセス頻繁に用いられるH<sub>2</sub>O<sub>2</sub>、HF等への耐薬品性がSiO<sub>2</sub>に比して低いことが知られている。従って生成したSiO<sub>2</sub>とGeO<sub>2</sub>よりなる側壁酸化膜は、薬液処理や熱処理を経ると疎な膜となり、ドーパントの外方拡散抑制効果が著しく劣化してしまう。また、オフセットスペーサとして用いる場合も膜厚均一性が劣化してしまう等の問題を生じる。これに対して、本発明の半導体装置の製造方法により得られた半導体装置では、SiGeの選択酸化により側壁酸化膜としてSiO<sub>2</sub>のみが形成されるため、側壁酸化膜形成後の薬液処理や熱処理耐性の高い側壁酸化膜を形成することができる。この結果、緻密で均一な側壁酸化膜によりドーパントの外方拡散を効果的に抑制することができ、拡散層イオン注入のオフセットも正確に制御できるようになる。

#### 【0009】

第2の発明は、半導体基板上に少なくとも2種類の半導体からなる単結晶層を形成する工程と、前記単結晶層の表面上に前記単結晶層に対する酸化種として還元剤及び酸化剤を含む雰囲気による熱酸化によって絶縁膜を形成する工程と、前記絶縁膜上に電極を形成する工程とからなることを特徴としている。例えば、S

*SiGe* チャネル形成後のゲート酸化において、上記側壁酸化と同様に、シリコンは酸化されゲルマニウムは還元される分圧比  $P_{H_2} / P_{H_2}$  或いは  $P_{CO} / P_{CO_2}$  の範囲で選択酸化を行う。 *SiGe* の選択酸化により、ゲート酸化膜として  $SiO_2$  のみ形成されるため、ゲート酸化膜形成後の薬液処理や熱処理耐性の高いゲート酸化膜を得ることができる。なお、 *SiGe* は、化合物ではなく混晶であり、実際には  $Si_{1-x}Ge_x$  と表現される。 *SiGe* の Ge 濃度は、通常 2 ~ 50 atom% 程度である。

### 【0010】

#### 【発明の実施の形態】

以下、図面を参照して発明の実施の形態を説明する。

本発明の第 1 の発明は、半導体基板上に形成された絶縁膜上に第 1 の半導体と第 2 の半導体からなる導電膜を形成し、これを前記第 1 の半導体が酸化し前記第 2 の半導体が酸化しない雰囲気で熱処理を行って、実質的に前記第 1 の半導体のみの緻密な酸化膜を形成するというものである。

### 【0011】

まず、図 1 乃至図 6 を参照して第 1 の実施例を説明する。

図 1 乃至図 5 は、この実施例の相補型 MOS トランジスタ (CMOSFET) の製造工程断面図、図 6 は、シリコン (Si) 及びゲルマニウム (Ge) 酸化物の平衡水素水蒸気分圧の温度依存性を示す特性図であり、縦軸が  $H_2O$  と  $H_2$  との分圧比 ( $P_{H2O} / P_{H2}$ ) 、横軸が熱処理温度 (絶対温度) (°K) を表し、GeO<sub>2</sub> の平衡水素水蒸気分圧曲線 A と  $SiO_2$  の平衡水素水蒸気分圧曲線 B が示されている。

### 【0012】

シリコン半導体基板 101 上にフォトリソグラフィ技術を用いて所望の領域にレジストパターンを形成し、これをマスクとして半導体基板 101 に B、Ga、或いは In をイオン注入する。同じ様に所望の領域にレジストパターンをマスクとして As、P 或いは Sb をイオン注入する。引き続き熱拡散を行うことにより基板表面からの深さ 1  $\mu m$  程度の P 型不純物拡散領域 (P ウエル) 102 及び N 型不純物拡散領域 (N ウエル) 103 を形成する (図 1 (a))。次に、半導体

基板101表面の所定の領域にトレンチ（溝）を形成し、その中に膜厚400nm程度のCVD (Chemical Vapour Deposition)等により形成されたシリコン酸化膜を埋め込み、この領域をSTI (Shallow Trench Isolation)構造の素子分離領域104とする（図1（b））。次に、熱処理等により膜厚10nm程度のシリコン酸化膜105を形成してこれを保護絶縁膜とする。その後、トランジスタのしきい値を合わせるためのイオン注入を行う（図1（c））。

#### 【0013】

次に、シリコン酸化膜を剥離した後、再び数nm程度のゲート絶縁膜106を形成する。ゲート絶縁膜にはシリコン酸化膜（SiO<sub>2</sub>）の他、窒素を数%程度含んだオキシナイトライド膜やタンタル酸化膜（TaO<sub>2</sub>）、ジルコニウム酸化膜（ZrO<sub>x</sub>）やハフニウム酸化膜（HfO<sub>x</sub>）等の高誘電率絶縁膜或いはこれらのシリケート等を用いても良い（図2（a））。次に、CVD法等を用いて150nm程度のSiGe膜107を堆積させ、P型不純物拡散領域102及びN型不純物拡散領域にそれぞれB、As等をドーピングする（図2（b））。

次に、SiGe膜107上にフォトレジスト108を塗布し、これをパターニングする。パターニングされたフォトレジスト108をマスクとしてSiGe膜107をエッチングし、エッチングされたSiGe膜107からなるゲート電極を形成する（図2（c））。

#### 【0014】

次に、フォトレジスト除去後、H<sub>2</sub>OとH<sub>2</sub>を用いた選択酸化技術により2nm程度の側壁酸化膜109を形成する。ここでH<sub>2</sub>OとH<sub>2</sub>の分圧比P<sub>H<sub>2</sub>O</sub>/P<sub>H<sub>2</sub></sub>を図6に示す範囲内において酸化を行うことにより、SiO<sub>2</sub>を生成しGeO<sub>2</sub>を生成しない選択酸化が可能となる（図3（a））。次に、半導体基板101上にフォトレジスト110を塗布し、これをパターニングする。パターニングされたフォトレジスト110によりN不純物拡散領域103のみをマスクし、As、1keV、1e15cm<sup>-2</sup>程度のイオン注入により、浅いN型不純物拡散領域111を形成する（図3（b））。

#### 【0015】

同じようにして、フォトレジスト110を除去後、パターニングされたフォト

レジスト110'をマスクにして、P型不純物拡散領域102のみをマスクし、BF<sub>2</sub> 1.5 keV、1e15 cm<sup>-2</sup>程度のイオン注入により、浅いP型不純物拡散領域112を形成する。以上によりLDD構造構成する極浅の不純物拡散領域111、112を得る(図4(a))。フォトレジスト110'を除去した後、膜厚20 nm程度のシリコン酸化膜(SiO<sub>2</sub>)113を、TEOSを用いたCVDにより被覆性良く成膜し、引き続きこの成膜上に膜厚20 nm程度のシリコン窒化膜(SiN)114をCVDより被覆性良く堆積させる(図4(b))。次に、積層されたシリコン酸化膜113及びシリコン窒化膜114をRIE(Reactive Ion Etching)等の異方性エッチングによりエッチングして、ゲート電極側壁にシリコン酸化膜113及びシリコン窒化膜114の積層膜を残すようとする。これによりシリコン窒化膜114に覆われたSiGeゲート電極が得られる(図5(a))。

### 【0016】

次に、フォトレジスト(図示しない)によりN型不純物拡散領域103のみをマスクし、P型不純物拡散領域102にP(リン)、10 keV、3e15 cm<sup>-2</sup>程度のイオン注入を行う。同様にフォトレジスト(図示しない)によりP型不純物拡散領域102のみをマスクし、N型不純物拡散領域103にB、5 keV、3e15 cm<sup>-2</sup>程度のイオン注入を行う。このとき不純物拡散領域と同時にゲート電極にもイオン注入が行われる。引き続きN<sub>2</sub>雰囲気において1050℃、10秒程度の活性化アニールを行い、N型高濃度不純物拡散領域115及びP型高濃度不純物拡散領域116を形成する。浅いN型不純物拡散領域111及びN型高濃度不純物拡散領域115は、P型不純物拡散領域(Pウエル)に形成されるトランジスタのソース/ドレイン領域を構成し、浅いP型不純物拡散領域112及びP型高濃度不純物拡散領域116は、N型不純物拡散領域(Nウエル)に形成されるトランジスタのソース/ドレイン領域を構成する。

### 【0017】

この活性化アニールにおいて、従来の側壁酸化を行ったSiGeゲート電極では、側壁酸化膜が十分にドーパントの外方拡散を抑制することができず、所望のキャリア濃度を実現することが困難であったが、この実施例の選択酸化を用いる

ことにより緻密な側壁酸化膜が形成されているため、ドーパントの外方拡散抑制効果が高く、ゲート電極中に高濃度のキャリアを保持することが可能となり、その結果ゲート空乏化の問題を回避することが可能となる。

これ以降の工程ではN i、P t等のサリサイドを用いても良いし、エレベーテッド (Elevated) ソース／ドレイン領域等を導入しても良く、公知の技術でコントロクト、配線等の形成を行って半導体装置を完成する。

#### 【0018】

次に、図7乃至図10を参照して第2の発明に係る実施例（第2の実施例）を説明する。

図7乃至図10は、P型MOSトランジスタ（PMOSFET）の製造方法を示す工程断面図である。まず、シリコン半導体基板201上にSiGe層202をエピタキシャル成長させる。次に、フォトリソグラフィ技術を用いて所望の領域にレジストパターン（図示しない）を形成し、これをマスクとしてシリコン半導体基板にAs、P、Sbなどをイオン注入する。引き続き熱拡散を行うことにより深さ $1\mu\text{m}$ 程度のN型不純物拡散領域203を形成する（図7（a））。次に、所定の領域に膜厚400nm程度のシリコン酸化膜204を埋め込み、素子分離領域（STI）を形成する（図7（b））。

#### 【0019】

次に、膜厚10nm程度の保護酸化膜（シリコン酸化膜）205を形成し、トランジスタの閾値を合わせるためのイオン注入を行う（図7（c））。次に、酸化膜205を剥離した後に再び数nm程度のゲート絶縁膜206を形成する。ゲート絶縁膜の形成には、酸化種として還元剤及び酸化剤を含む系、例えば、H<sub>2</sub>及びH<sub>2</sub>Oを含む系もしくはCO及びCO<sub>2</sub>を含む系を用いる。ここで、これら酸化剤と還元剤の分圧比は、Siは、酸化されGeは還元される分圧比（PH<sub>2</sub>／PH<sub>2</sub>O或いはPCO／PCO<sub>2</sub>）の範囲を適用し、この範囲で選択酸化を行う。これはSiO<sub>2</sub>、GeO<sub>2</sub>の標準生成自由エネルギーの計算結果から得ることができる。

#### 【0020】

図6は、この分圧比（平衡水素水蒸気分圧比）と温度の関係を示したグラフで

ある。縦軸が分圧比  $P_{H_2} / P_{H_2O}$  を表し、横軸が温度 (°K (絶対温度)) を表している。この図6において、 $GeO_2$  の平衡水素水蒸気圧分圧曲線A及び $SiO_2$  の平衡水素水蒸気圧分圧曲線Bに挟まれた範囲に相当する分圧比及び温度 (°K) を選択することにより、 $SiO_2$  からなる酸化膜中に $GeO_2$  を含まない酸化膜を形成することができる。ゲート絶縁膜には $SiO_2$  膜の他に、窒素を数%程度含んだオキシナイトライド膜や $TaO_2$ 、 $ZrO_x$  や $HfO_x$  等の高誘電体、或いはそれらのシリケート等を用いても良い。当然これらのベース酸化膜として用いる熱酸化膜は、上記の選択酸化方法を適用して形成する (図8 (a))。

### 【0021】

次に、CVD法等を用いて膜厚150nm程度の多結晶Si膜207を堆積し、膜中にB、 $BF_2$  等をドーピングする (図8 (b))。次に、フォトレジスト208をマスクとして多結晶Si膜をエッチングし、多結晶Siゲート電極207を得る。引き続きフォトレジスト208を除去する。このとき従来の熱酸化により形成されたゲート絶縁膜206は、 $GeO_2$  を含み、これがレジスト除去に用いられる $H_2O_2$ 、 $H_2SO_4$  に可溶なため、ゲート絶縁膜は疎な構造となってしまい、必要とされる電気的特性を満たさなくなってしまう。本発明では、選択酸化により $SiO_2$  のみを形成しているためこのような問題は生じない (図8 (c))。

### 【0022】

次に、膜厚2nm程度の側壁酸化膜209を形成する (図9 (a))。次に、フォトレジスト210をマスクとして、 $BF_2$  1.5eV 1e15cm<sup>-2</sup>程度のイオン注入により、浅いP型不純物拡散領域210を形成する。以上の工程によりLDDと呼ばれる極浅の拡散領域を得る (図9 (b))。次に、膜厚20nm程度のシリコン酸化膜 ( $SiO_2$ ) 211をTEOSを用いたCVDにより被覆性良く成膜し、引き続いて、膜厚20nm程度のシリコン窒化膜 ( $SiN$ ) 212をCVDにより被覆性良く堆積した後、RIEなどによりゲート側壁にシリコン窒化膜を残す形でエッチングを行い (図9 (c))、シリコン窒化膜212に覆われた多結晶Siゲート電極を得る (図10 (a))。

次に、半導体基板201にB 5 k e V 3 e 1 5 c m<sup>-2</sup>程度のイオン注入を行う。このとき不純物拡散領域210と同時にゲート電極207にもイオン注入が行われる。引き続いて、N<sub>2</sub> 雰囲気において、1050℃、10秒程度の活性化アニールを行い、P型不純物拡散領域210の下にP型高濃度不純物拡散領域213を形成する（図10（b））。

### 【0023】

これらの各種熱工程により、従来の酸化法で形成された酸化膜では、含まれるGeO<sub>2</sub>が揮発して疎な膜となり、耐圧等求められる電気的特性を満たさなくなってしまう。本発明では酸化膜中にはSiO<sub>2</sub>のみを含むためこのような問題は生じない。

以降の工程では通常のNi、Pt等のサリサイドを用いても良いし、エレベーテッド（Elevated）ソース／ドレイン領域等を導入しても良く、公知の技術でコントラクト、配線等を行ってMOSトランジスタを完成させる。

### 【0024】

#### 【発明の効果】

以上の構成により、第1の発明は、第1の半導体と第2の半導体からなる導電膜、例えば、SiGe表面に、第1の半導体、例えば、シリコン酸化物のみからなる緻密な酸化膜が形成される。また、例えば、SiGeの選択酸化により、側壁酸化膜としてSiO<sub>2</sub>のみが形成されるため側壁酸化膜の形成後における薬液処理や熱処理耐性の高い側壁酸化膜がえられ、ドーパントの外方拡散を効果的に抑制することができる。また、例えば、SiGeの選択酸化により、SiGe層上にゲート酸化膜としてSiO<sub>2</sub>のみが形成されるため、ゲート酸化膜の形成後における薬液処理や熱処理耐性の高いゲート酸化膜を得ることができる。

第2の発明は、少なくとも2種類の半導体からなる単結晶層の表面上に前記単結晶層に対する酸化種として還元剤及び酸化剤を含む雰囲気による熱酸化によって第1の半導体が酸化され、第2の半導体が還元される選択酸化によりゲート絶縁膜として緻密な膜のみが形成されるため、ゲート絶縁膜形成後の薬液処理や熱処理耐性の高い絶縁膜となり、高ゲート耐圧等の所望の電気特性を得ることができ、また、ゲート電極からチャネル領域へのドーパントの拡散を効果的に抑制す

ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例において説明する相補型MOSトランジスタの製造工程断面図。

【図 2】

本発明の第 1 の実施例において説明する相補型MOSトランジスタの製造工程断面図。

【図 3】

本発明の第 1 の実施例において説明する相補型MOSトランジスタの製造工程断面図。

【図 4】

本発明の第 1 の実施例において説明する相補型MOSトランジスタの製造工程断面図。

【図 5】

本発明の第 1 の実施例において説明する相補型MOSトランジスタの製造工程断面図。

【図 6】

シリコン (Si) 及びゲルマニウム (Ge) 酸化物の平衡水素水蒸気分圧の温度依存性を示す特性図。

【図 7】

本発明の第 2 の実施例における P 型MOSトランジスタ (PMOSFET) の製造方法を示す工程断面図。

【図 8】

本発明の第 2 の実施例における P 型MOSトランジスタ (PMOSFET) の製造方法を示す工程断面図。

【図 9】

本発明の第 2 の実施例における P 型MOSトランジスタ (PMOSFET) の製造方法を示す工程断面図。

## 【図10】

本発明の第2の実施例におけるP型MOSトランジスタ（PMOSFET）の製造方法を示す工程断面図。

## 【図11】

MOSFETのSiGeゲート電極と側壁酸化膜を説明する構造模式図。

## 【図12】

MOSFETのSiGeチャネルとゲート酸化膜を説明する構造模式図。

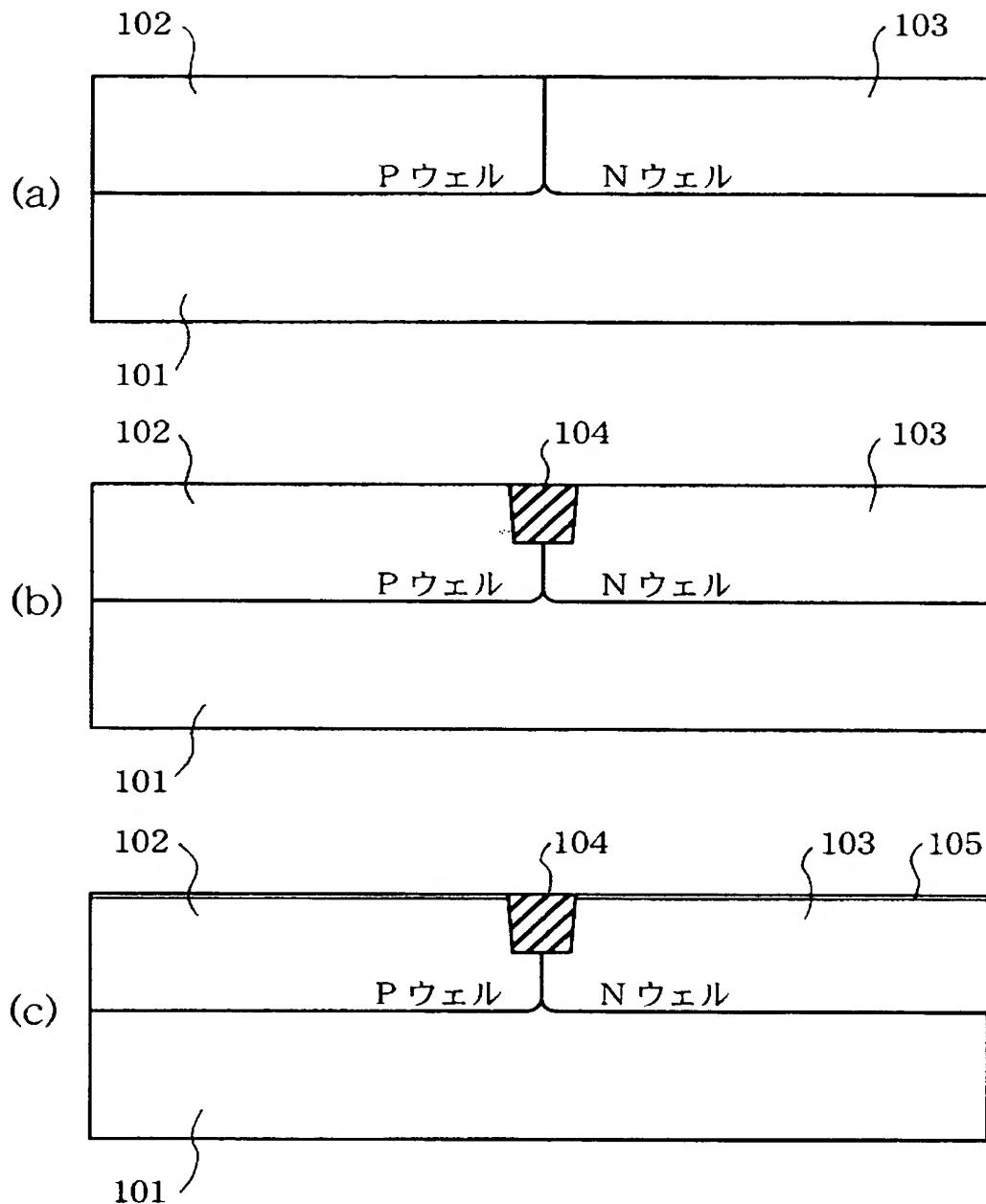
## 【符号の説明】

- 101、201……シリコン半導体基板
- 102……P型不純物拡散領域（Pウエル）
- 103、203……N型不純物拡散領域（Nウエル）
- 104、204……素子分離領域
- 105、205……シリコン酸化膜
- 106、206……ゲート絶縁膜
- 107……SiGe膜
- 108、110、110'、208……フォトレジスト
- 109、209……側壁酸化膜
- 111……N型不純物拡散領域
- 112、210……P型不純物拡散領域
- 113、211……シリコン酸化膜
- 114、212……シリコン窒化膜
- 115、213……N型高濃度不純物拡散領域
- 116……P型高濃度不純物拡散領域
- 202……SiGe層
- 207……Si膜（ゲート電極）

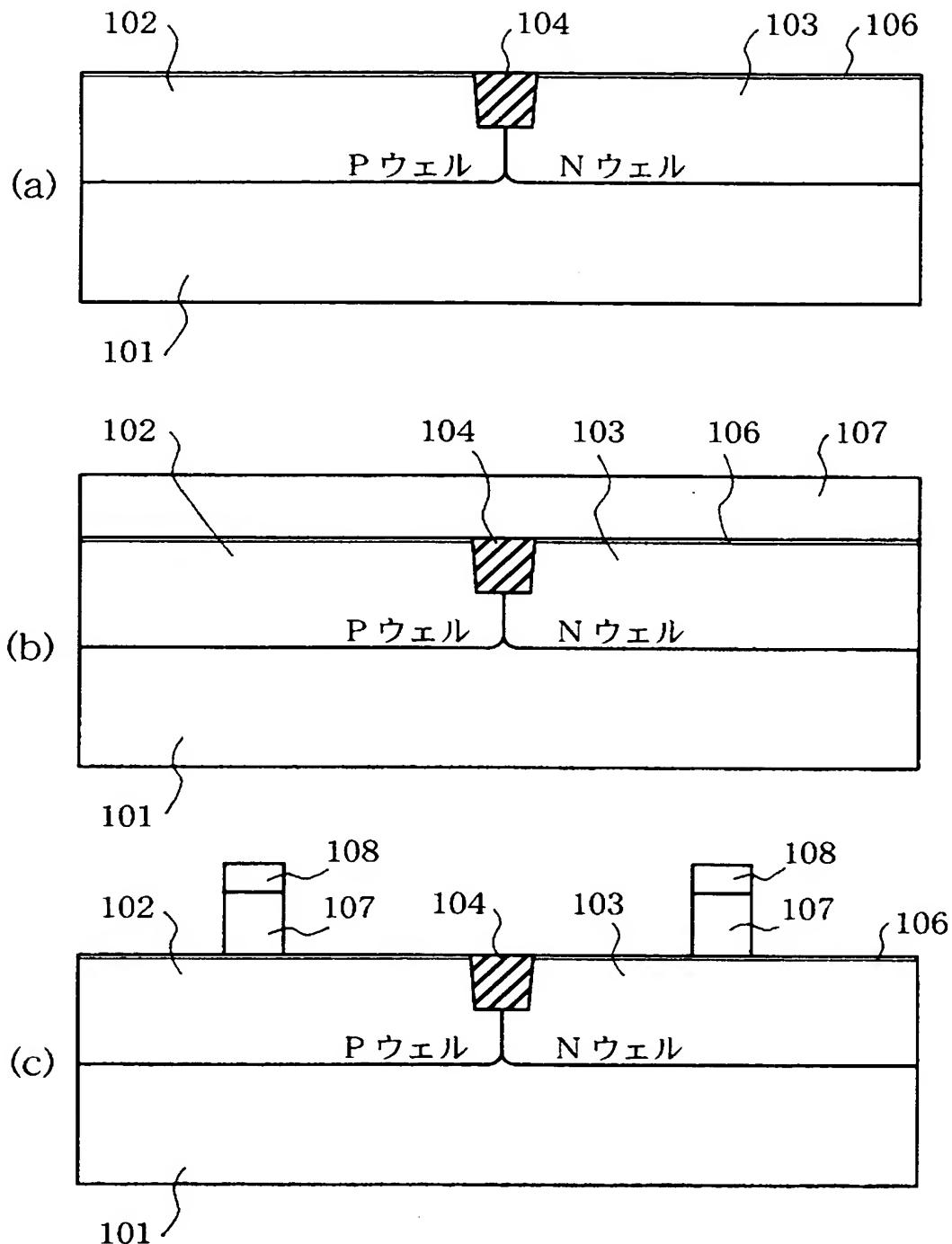
【書類名】

図面

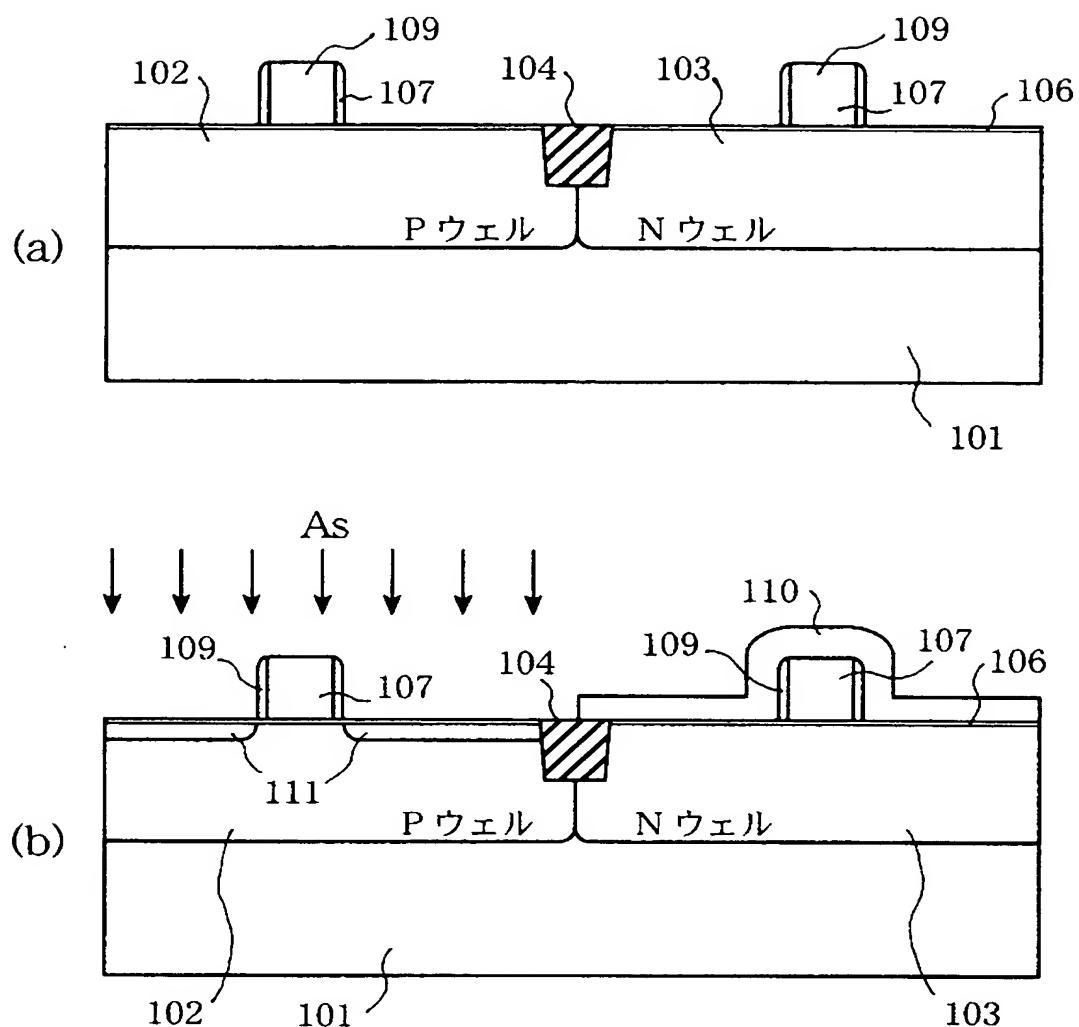
【図 1】



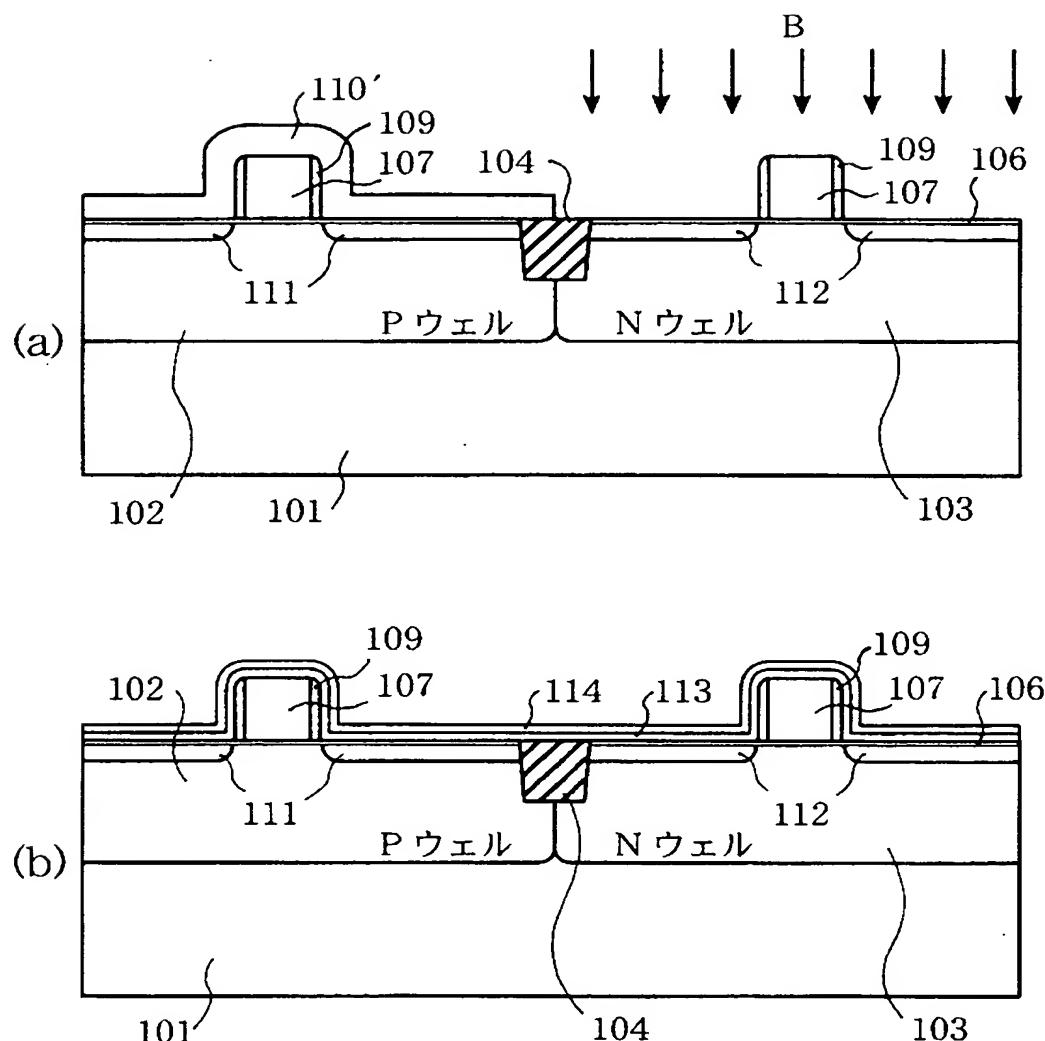
【図 2】



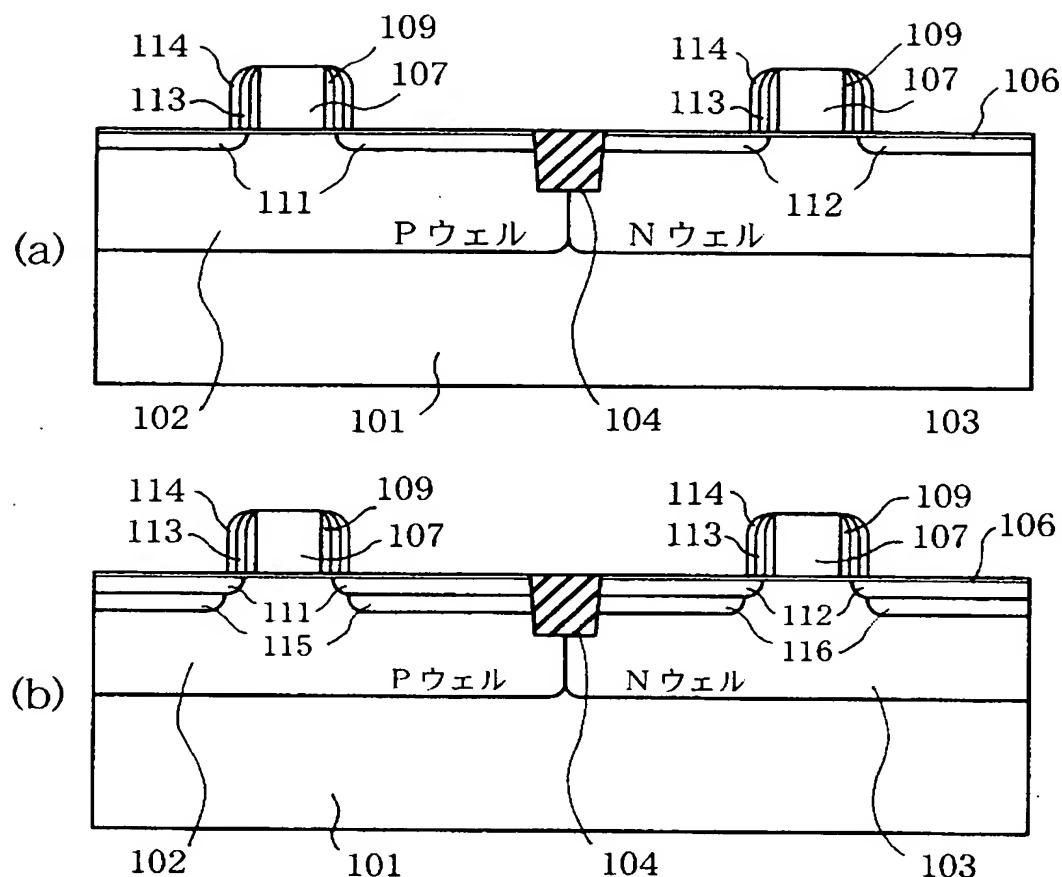
【図3】



【図 4】

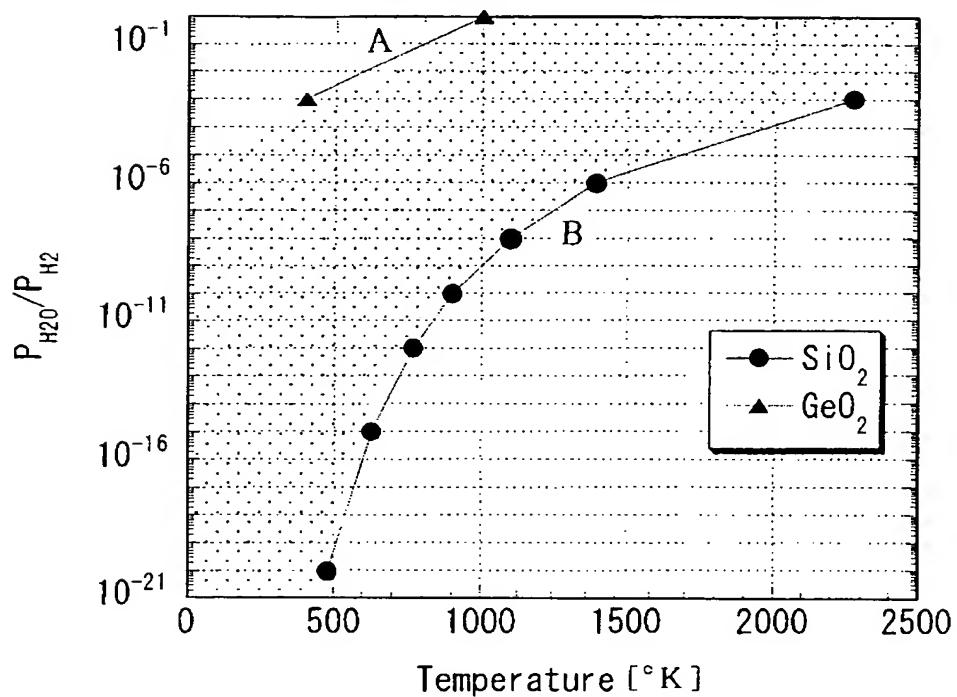


【図 5】

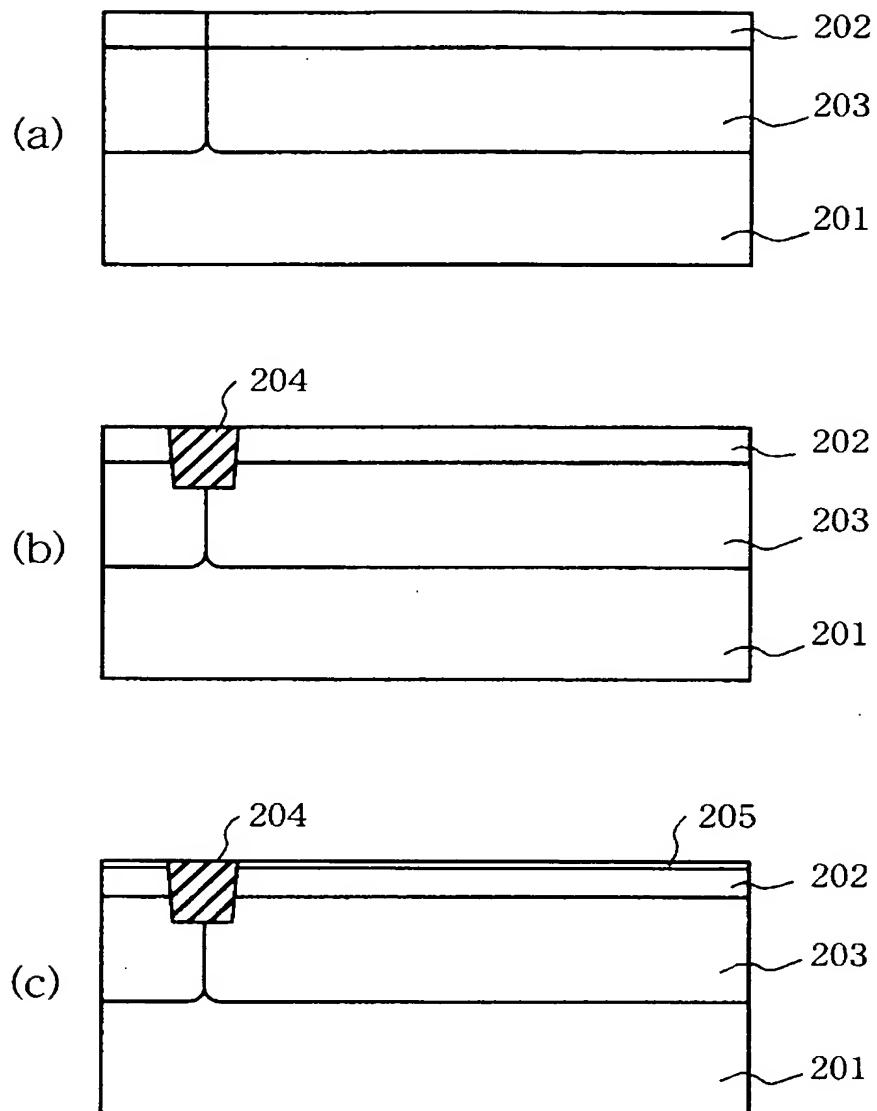


【図6】

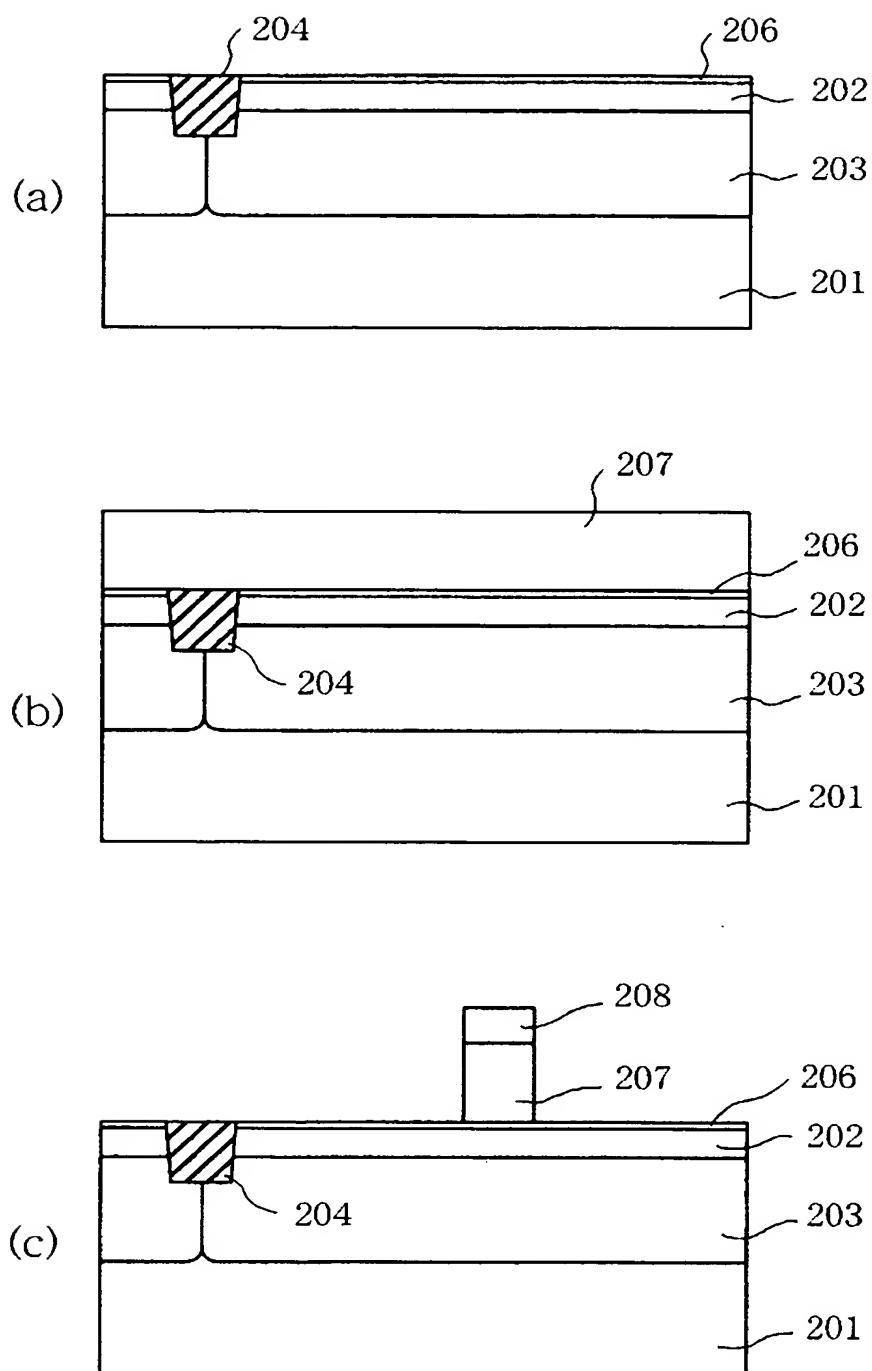
## Si, Ge酸化物の平衡水素水蒸気分圧



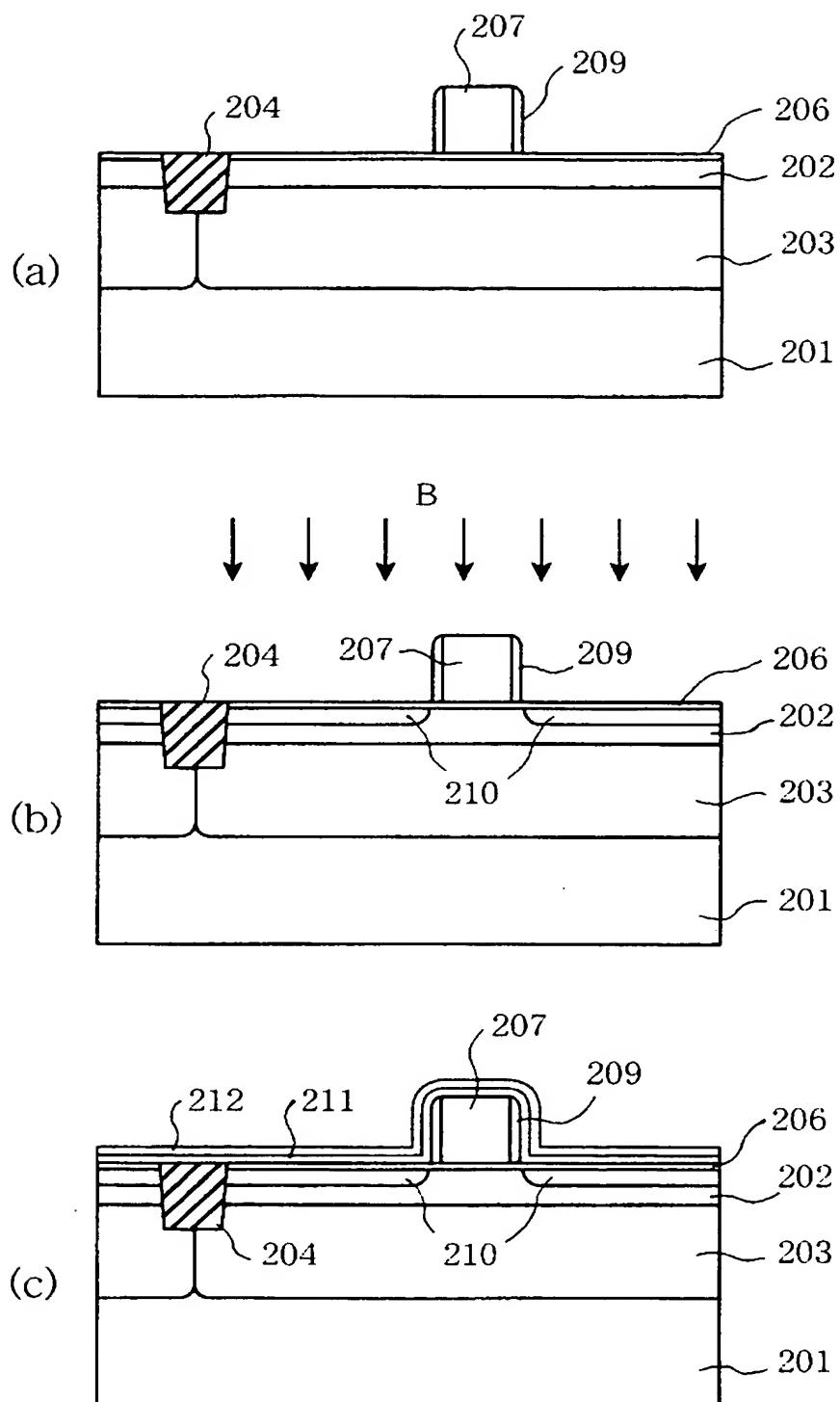
【図7】



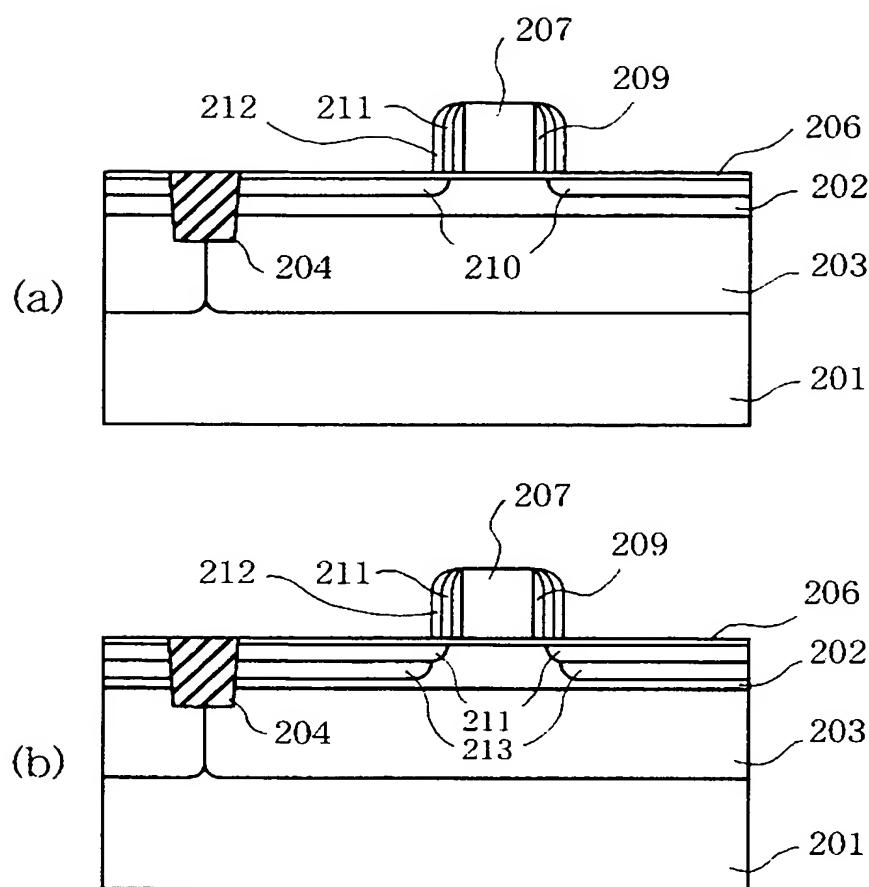
【図8】



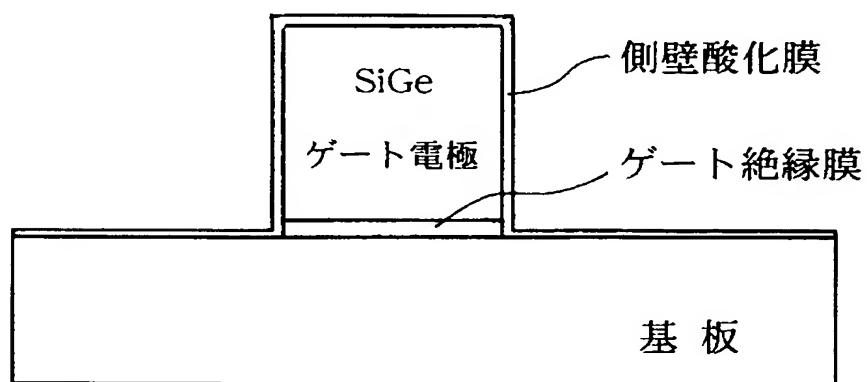
【図 9】



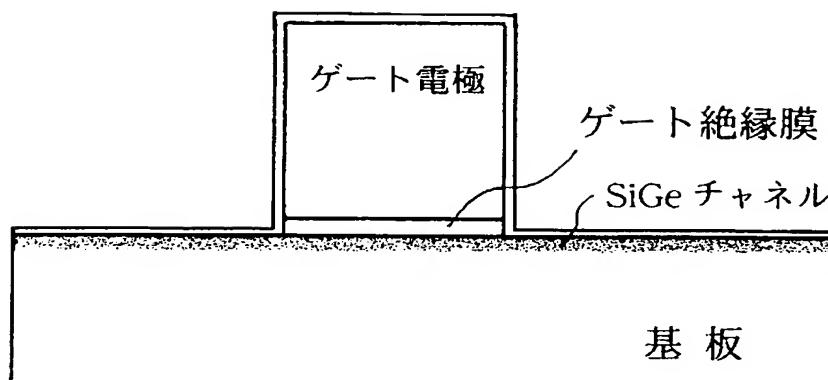
【図10】



【図11】



【図12】



## 【書類名】

要約書

## 【要約】

【課題】 少なくとも2種類の半導体からなるSiGeなどの半導体層の表面を所望の形状に酸化処理を施す半導体装置及びこの酸化処理を効率的に行うことができる製造方法を提供する。

【解決手段】 半導体基板上に形成された絶縁膜上に第1の半導体と第2の半導体からなるSiGeなどの導電膜（ゲート電極107）を形成し、次に、前記第1の半導体が酸化し前記第2の半導体が酸化しない雰囲気で熱処理を行って、前記導電膜上に前記第1の半導体の酸化膜（側壁絶縁膜109）を形成する。また、半導体基板上の2種類以上の半導体からなるSiGeなどの単結晶層の表面上に前記単結晶層に対する酸化種として還元剤及び酸化剤を含む雰囲気による熱酸化によって絶縁膜（ゲート酸化膜）を形成する。ゲート酸化膜形成後の薬液処理や熱処理耐性の高いゲート酸化膜が得られる。

## 【選択図】 図3

特願2002-330399

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝